

IMAGE PICKUP UNIT AND IMAGE PICKUP SYSTEM USING THE SAME

Publication number: JP2001036920 (A)

Also published as:

Publication date: 2001-02-09

JP3501694 (B2)

Inventor(s): HAYASHI HIDETOSHI; SHINOHARA MASATO; KOUCHI TETSUNOBU +

Applicant(s): CANON KK +

Classification:

- International: H04N9/07; H04N9/07; (IPC1-7): H04N9/07

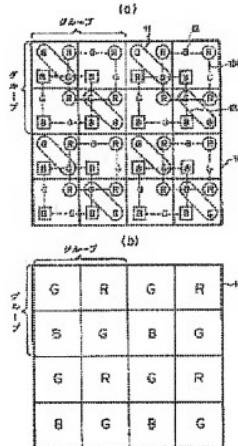
- European:

Application number: JP19990206516 19990721

Priority number(s): JP19990206516 19990721

Abstract of JP 2001036920 (A)

PROBLEM TO BE SOLVED: To make it unnecessary to require a high reading speed in a moving picture, and to prevent deterioration of a picture due to thinning-out. **SOLUTION:** This image pickup unit is provided with plural picture elements for outputting signals in plural colors and a reading means for defining 16 picture elements with horizontal 4 picture elements and vertical 4 picture elements as one group, and for reading the plural chrominance signals by addition scanning from the group. The reading means adds the plural picture element signals so that the spatial color array of each color before addition can be made the same as the spatial color array of each color after addition.

Data supplied from the **espacenet** database — Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-36920

(P2001-36920A)

(43)公開日 平成13年2月9日(2001.2.9)

(51)Int.Cl.

H 04 N 9/07

識別記号

F I

H 04 N 9/07

テ-73-1*(参考)

A 5 C 0 6 5

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21)出願番号 特願平11-206516

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(22)出願日 平成11年7月21日(1999.7.21)

(72)発明者

林 英俊

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(72)発明者

篠原 真人

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(74)代理人 100065385

弁理士 山下 裕平

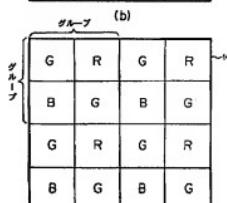
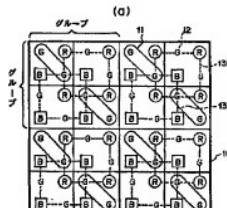
最終頁に続く

(54)【発明の名稱】 撮像装置及びそれを用いた撮像システム

(57)【要約】

【課題】 動画における高い読み出し速度を必要とせず、なお且つ間引きによる画像劣化を避ける。

【解決手段】 複数色の信号を出力する複数の画素と、水平方向4画素及び垂直方向4画素の16画素を1グループとし、該グループから加算走査により複数の色信号を読み出す読み出し手段とを備え、読み出し手段は、加算前の各色の空間的色配列と、加算後の各色の空間的色配列が同じになるように複数の画素の信号を加算する。



【特許請求の範囲】

【請求項1】 複数色の信号を出力する複数の画素と、水平方向4画素及び垂直方向4画素の16画素を1グループとし、該グループから加算走査により複数の色信号を読み出す読み出し手段とを備え、

前記読み出し手段は、加算前の各色の空間的色配列と、加算後の各色の空間的色配列が同じになるように複数の画素の信号を加算することを特徴とする撮像装置。

【請求項2】 所定の基本色配列を持つ複数の画素からなる構成要素を複数配列した画素部と、

前記構成要素のそれぞれから複数色の信号を読み出し、同じ構成要素内又は／及び異なる構成要素間で同一色毎に加算走査する読み出し手段とを備え、

前記読み出し手段は、加算前の各色の空間的色配列と、加算後の各色の空間的色配列が同じになるように複数の画素の信号を加算することを特徴とする撮像装置。

【請求項3】 所定の基本色配列を持つ複数の画素からなる構成要素を複数配列した画素部と、

複数の画素の信号を加算走査して、複数色の信号を読み出す読み出し手段とを備え、

前記読み出し手段は、加算前の各色の空間的色配列と、加算後の各色の空間的色配列が同じになるように複数の画素の信号を加算するとともに、前記複数色の少なくとも1つの色は、斜め方向に配列された画素のみの信号を加算した色信号であることを特徴とする撮像装置。

【請求項4】 請求項1～3のいずれかに記載の撮像装置において、前記読み出し手段は、複数の画素の信号の間引き走査を行うことを特徴とする撮像装置。

【請求項5】 請求項1に記載の撮像装置において、加算される各色の画素の範囲が空間的に重複することを特徴とする撮像装置。

【請求項6】 請求項1～5のいずれかに記載の撮像装置において、前記加算走査による信号読み出しを行う第1の読み出しモードと全画素の信号読み出しを行なう第2の読み出しモードを切り換える切り換え手段を有する撮像装置。

【請求項7】 請求項1～6のいずれかに記載の撮像装置において、インターレース駆動を行うことを特徴とする撮像装置。

【請求項8】 請求項1～7のいずれかに記載の撮像装置において、前記色フィルターは、G(緑)色フィルター、R(赤)色フィルター、B(青)色フィルターであることを特徴とする撮像装置。

【請求項9】 請求項1～8のいずれかに記載の撮像装置において、前記加算は、前記複数色の色フィルターのうちの第1の色フィルターが配された斜め方向の画素の信号の加算と、第2及び第3の色フィルターが配された水平方向及び垂直方向の画素の信号の加算とであることを特徴とする撮像装置。

【請求項10】 請求項1～9のいずれかに記載の撮像

装置と、該撮像装置へ光を結像する光学系と、該撮像装置からの出力信号を処理する信号処理手段とを有することを特徴とする撮像システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は撮像装置及びそれを用いた撮像システムに係り、特に複数の画素に複数色の色フィルターが対応して配された撮像素子を備えた撮像装置及びそれを用いた撮像システムに関する。

【0002】

【従来の技術】カラーフィルターを有した固体撮像素子は動画を撮影するビデオカメラや静止画を撮影する電子スチルカメラ等、各種映像機器で利用されている。

【0003】近年、半導体技術の進歩により数百万画素の撮像素子が開発され、高解像度が要求される電子スチルカメラ等において実用化されているが、画素数がそのような数百万画素を超える高解像度のカメラであっても、動画（必ずしも高解像度である必要はない）を撮影できることが要求される場合がある。しかしながら、そのような高解像度のカメラは静止画用であり、動画を撮影することは困難である。これは画素数が多くなればそれに比例して撮像素子の信号を読み出すのに要する時間が増大してしまうことによる。

【0004】この問題を解決するために従来、動画を撮影する場合には、撮像素子の信号の読み出し周波数を静止画の場合より高くしたり、撮像素子の信号を間引く等により実質的に画素数を少なくて読み出す技術が提案されていた。

【0005】

【発明の解決しようとする課題】しかしながら、上記の撮像素子の信号の読み出し周波数を切り替えて高い周波数で読み出す技術では、要求される解像度が高くなり駆動周波数が高くなると回路の応答性や消費電力等の実用化上で多くの課題がある。

【0006】また、動画に必要な画素だけ間引いて読み出した場合、実際の情報が欠落するので必ずしもきれいな画像は得られない。

【0007】本発明は、上述したような従来技術の問題点に着目したものであり、高精細の静止画に関しては高画素のセンサーを全画面で読み出し、動画に関しては画素を加算して読み出し、動画における高い読み出し速度を必要とせず、なお且つ間引きによる画像劣化を避けることができる撮像装置及び撮像システムを提供することを目的とする。

【0008】

【課題を解決するための手段】本発明の撮像装置は、複数色の信号を出力する複数の画素と、水平方向4画素及び垂直方向4画素の16画素を1グループとし、該グループから加算走査により複数の色信号を読み出す読み出し手段とを備え、前記読み出し手段は、加算前の各色の

空間的色配列と、加算後の各色の空間的色配列が同じになるように複数の画素の信号を加算することを特徴とするものである。

【0009】また本発明の撮像装置は、所定の基本色配列を持つ複数の画素からなる構成要素を複数配列した画素部と、前記構成要素のそれぞれから複数色の信号を読み出し、同じ構成要素内又は／及び異なる構成要素間で同一色毎に加算走査する読み出し手段とを備え、前記読み出し手段は、加算前の各色の空間的色配列と、加算後の各色の空間的色配列が同じになるように複数の画素の信号を加算することを特徴とするものである。

【0010】また本発明の撮像装置は、所定の基本色配列を持つ複数の画素からなる構成要素を複数配列した画素部と、複数の画素の信号を加算走査して、複数色の信号を読み出す読み出し手段とを備え、前記読み出し手段は、加算前の各色の空間的色配列と、加算後の各色の空間的色配列が同じになるように複数の画素の信号を加算するとともに、前記複数色の少なくとも1つの色は、斜め方向に配列された画素のみの信号を加算した色信号であることを特徴とするものである。

【0011】本発明の撮像システムは、上記本発明の撮像装置と、該撮像装置へ光を結像する光学系と、該撮像装置からの出力信号を処理する信号処理手段とを有することを特徴とするものである。

【0012】

【実施例】以下、本発明の実施例について図4を用いて詳細に説明する。

【0013】図1は、本発明に基づく加算方式の概念図である。図1(a)の10は加算する前の一般的なペイヤー配列であり、R、Bの間に市松状にGが配置されているフィルター構成図である。この図1(a)を用いて本発明による加算方式について説明する。ここで、R、Bの間に市松状にGが配置されている2×2の2画素が、基本色配列を持つ1つの構成要素である。そして、隣接する4つの構成要素を1つのグループとする。ここでGに関してはその構成要素内で斜め2画素を加算する。11は加算するG画素を囲ったものである。構成要素内でのR、Bに関しては基本的にその構成要素内のR、B画素をそれぞれ選択するだけであるが、近接する4構成要素間の同色の4画素(1グループ内の同色内の4画素)を加算する方式を取る。これにより、水平・垂直の両方向で加算が行われる。13Rは加算するR画素(加算されるR画素は□で囲われている)の4画素を点線で結んだものであり、13Bは加算するB画素(加算されるB画素は□で囲われている)の4画素を点線で結んだものである。図1(a)に示されるように、一つのグループ内で加算されるG画素の範囲(11)、加算されるR画素の範囲(13R)、加算されるB画素の範囲(13B)は空間的に重複している。また、12は加算モード上では加算が行われない画素を示しており、この

加算方式では選択されない画素は、点線で示されるGに限定されている。このような加算方式を行った結果、図1(b)に示すように、図1(a)と同様の、R、Bの間に市松状にGが配置されているペイヤー配列14となり、加算後でもその画素配列は加算する前と同じであり、これにより実質の画素数を1/4に落として動画モードとして使用することができる。

【0014】図2は本発明に基づく他の加算方式の概念図である。ここではGに関しては図1の実施例と同じように構成要素内での斜め2画素加算である。一方、R、Bに関してはグループ内の構成要素間で水平方向・垂直方向の3画素を加算する方式となる。ここでは、読み出されない画素には図1のようなG(点線で示される)の画素だけではなく、R、Bの画素も加算されない画素ができる。図2において、12G、12R、12BはよみだされないG、R、B画素を示し、G、R、Bはそれぞれ点線で示されている。この加算方式でも図2(b)に示すように、図1(b)と同様な、R、Bの間に市松状にGが配置されているペイヤー配列14となる。このように、Gの2画素、R、Bの4画素加算の組み合わせだけでなく、Gの2画素に対し、R、Bはいくつの画素で加算してもよい。

【0015】図3は図1の加算方式を実現するため概略的な読み出し回路の回路構成図である。図3において、16は図1(a)のR、G、Bの各画素がペイヤー配列された画素部である。図3中、上方にG画素の信号を読み出す回路が配され、17、18-1は画素部16のG画素からの信号を読み出すためのトランジスタTG11～TG16、TG21～TG26、19-1は画素部16のG画素から読み出された信号を蓄積するコンデンサCG1～CG6、20-1はコンデンサCG1～CG6から信号を水平出力線に出力するためのトランジスタTG31～TG36、21-1、21-2は出力アンプである。

【0016】また図3中、下方にはR、B画素の信号を読み出す回路が配され、18-2は画素部16のB、R画素からの信号を読み出すためのトランジスタTB21、TB22、TB25、TB26、TR23、TR24、TR27、TR28、19-2は画素部16のR、B画素から読み出された信号を蓄積するコンデンサCB1、CB2、CB5、CB6、CR3、CR4、CR7、CR8、20-2はコンデンサCB1～CR8から信号を水平出力線に出力するためのトランジスタTB31、TB32、TB35、TB36、TR33、TR34、TR37、TR38、22-1、22-2は出力アンプである。V1～V4は画素部16のそれぞれ2水平ラインの画素行を制御する信号、SW0～SW4はトランジスタ17を制御する信号、φTS1、φTS2はトランジスタ18-1、18-2を制御する信号、h11～h28はトランジスタ20-1、20-2を制御する信号を示す。

【0017】次に上記読み出し回路の動作について説明する。図4は上記回路構成図に基づく加算モードにおける

るタイミング図であり、図5は全画素読み出しモード時のタイミング図である。

【0018】図4における加算モードの読み出しタイミングでは、まず、信号V1がHレベルとなることにより始めの2Hライン（2水平ライン）分が選択される。その中で信号SW0、SW4がHレベルとなり、トランジスタTG11、TG14がONする。そして、信号#TS1がHレベルとなることによって、トランジスタTG21、TG24がONし、2Hライン分で加算に必要な、（第1行、第1列）目のG画素と（第2行、第2列）目のG画素からの画素情報が電荷としてコンデンサCG1、CG4に蓄積される。また、信号#TS1がHレベルとなることによって、トランジスタTB21、TR23、TB25、TR27がONし、（第2行、第1列）目のB画素、（第1行、第2列）目のR画素、（第2行、第3列）目のB画素、（第1行、第4列）目のR画素からの画素情報が電荷としてコンデンサCB1、CR3、CB5、CR7に蓄積される。

【0019】次に信号V2がHレベルとなることによって、次の2Hライン分が選択される。その中で信号SW1、SW3がHレベルとなりトランジスタTG12、TG15がONしている時に、信号#TS2がHレベルとなることによって、その2Hライン分で加算に必要な、（第1行、第4列）目のG画素と（第3行、第3列）目のG画素からの画素情報が電荷としてコンデンサCG2、CG5に蓄積される。また、信号#TS2がHレベルとなることによって、トランジスタTB22、TR24、TB26、TR28がONし、（第4行、第1列）目のB画素、（第3行、第2列）目のR画素、（第4行、第3列）目のB画素、（第3行、第4列）のR画素からの画素情報が電荷としてコンデンサCB2、CR4、CB6、CR8に蓄積される。最終的に、各コンデンサに蓄積された電荷が信号h11、h12と信号h14、h15を同時にHレベルすることで水平出力線上で加算が行われ、コンデンサCG1、CG2、CG4、CG5からの信号の加算信号がアンプ21-1を通してセンサーの外にG加算信号として伝送される。また、信号h23、h24、h27、h28を同時にHレベルすることで、コンデンサCR3、CR4、CR7、CR8からの信号の加算信号がアンプ22-1を通してセンサーの外にR加算信号として伝送され、信号h21、h22、h25、h26を同時にHレベルすることで、コンデンサCB1、CB2、CB5、CB6からの信号の加算信号がアンプ22-2を通してセンサーの外にB加算信号として伝送される。このサイクルを1サイクルとして機能し、水平4Hライン分を次々に加算し、最終的に画素部16の最終ライン分まで読み出していく。

【0020】次に図5におけるタイミング図を使って、全画素読み出しモードの読み出し方を説明する。まず信号V1がHレベルとなることにより始めの2Hライン分が選択される。その中で信号SW0、SW2、SW3がHレベルとなることで、それぞれに対応したトランジ

タTG11、TG13、TG15、TG16がONする。さらに、その中で信号#TS1がHレベルとなることによって、トランジスタTG21、TG23、TG24、TG26がONし、（第1行、第1列）目のG画素、（第2行、第2列）目のG画素、（第1行、第3列）目のG画素、（第2行、第4列）目のG画素からの画素情報が電荷としてそれぞれのコンデンサCG1、CG3、CG4、CG6に電荷が蓄積される。また、信号#TS1がHレベルとなることによって、トランジスタTB21、TR23、TB25、TR27がONし、（第2行、第1列）目のB画素、（第1行、第2列）目のR画素、（第2行、第3列）目のB画素、（第1行、第4列）目のR画素からの画素情報が電荷としてコンデンサCB1、CR3、CB5、CR7に蓄積される。

【0021】コンデンサに蓄積されたG信号はXアドレス選択部の信号h11、h13、h14、h16により順次出力される。同様にB信号はh21、h25により、R信号はh23、h27により順次出力される。

【0022】図6はインターレース表示を考慮した加算モードによる読み出し方を示す概念図である。図6(a)にはodd(奇数)フィールド、図6(b)にはeven(偶数)フィールドにおける加算の仕方を示しているが、どちらもセンサーの中のある同じ領域を示している。なお図1(a)では読み出しを行わない画素は点線で示したが、図6(a)、(b)では読み出しを行わない画素は示されていない。

【0023】まず、図6(a)に示すoddフィールドでは4Hライン分のR、G、Bを用いて表示1Hを作成し、順々に走査を行っていく。その次のevenフィールドではoddフィールドの時は2Hライン分ずつした4Hラインで表示1Hラインを構成する。これらのフィールドを交互に走査することによってインターレース表示に対応する。

【0024】次に画素部の構成例について説明する。

【0025】図7はCMOSセンサーおよび読み出し回路を示す回路図である。CMOSセンサーは各画素アンプのパッキヤとゲート部のリセットノイズがあるのでそのノイズを除去するため出力部に信号用メモリCT1とノイズ用メモリCT2を設けて、減算処理によりノイズを除去している。ノイズ用メモリCT2とこのノイズ用メモリCT2に接続されるトランジスタを追加することで図3に示す読み出し回路を構成することができる。

【0026】図7において、破線領域はCMOSセンサーの画素部を示し、PDはフォトダイオード、MTXは転送用トランジスタ、MRESはリセット用トランジスタ、MSBLは画素アンプとなる増幅部トランジスタ、MSLUは画素を選択する選択用トランジスタである。リセット用トランジスタMRES、MIVをオンして画素部および垂直出力線のリセットを行った後に画素アンプ、選択用トランジスタMSBL、トランジスタMCT2を介してノイズ用メモリCT2にノイズ信号を蓄積する。また、転送用

トランジスタMTXをオンして、フォトダイオードP Dから光電変換された信号が画素アンプとなる増幅用トランジスタMSELのゲートに転送され、画素アンプ、選択用トランジスタMSEL、トランジスタMCT1を介して信号用メモリC T 1にノイズ信号成分を含む信号を蓄積する。そして、信号用メモリC T 1に蓄積されたノイズ信号成分を含む信号と、ノイズ用メモリC T 2に蓄積されたノイズ信号とを水平出力線に出し、減算処理して画素アンプのパラッキとゲート部のリセットノイズ等のノイズ成分が除去された信号を得る。 ϕ SEL、 ϕ TA、 ϕ RE S、 ϕ RV、 ϕ TS、 ϕ TNはそれぞれ増幅用トランジスタMSEL、転送用トランジスタMTX、リセット用トランジスタMRES、MRV、トランジスタMCT1、MCT2を制御する制御信号である。また、トランジスタMLは画素アンプMSFの負荷である。 ϕ Lは ϕ SELと共通に駆動するか、常にHレベルとして抵抗としてもよい。

【0027】なお、画素部は複数の光電変換部に対して1つの共通アンプを設けるようにしてもよい。図8は共通アンプ画素の例を示す図である。図8に示すように、a11、a12、a21、a22は各画素の光電変換部となるフォトダイオード、MSFは共通アンプとなる増幅用トランジスタ、MTX1～MTX4はフォトダイオードに蓄積された信号電荷を共通アンプの入力部となるフローティングディフェュージョン領域（FD領域）に転送する転送用トランジスタ、MRESはFD領域をリセットするリセット用トランジスタ、MSELは共通アンプ画素を選択する選択用トランジスタである。トランジスタMSF、MSELはソースフォロア回路を構成する。かかる共通アンプ画素は4つのフォトダイオードからの信号が共通アンプを介して出力され、4画素で一つの単位セルを構成する。1つの画素はフォトダイオード、転送用トランジスタを含み、共通アンプ、リセット用トランジスタ、選択用トランジスタからなる共通回路の一部を含んでいる。フォトダイオードa11、a22にGフィルター、フォトダイオードa21にBフィルター、フォトダイオードa12にRフィルターを配し、転送トランジスタMTX1、MTX4をオンすると、フォトダイオードa11とフォトダイオードa22からの信号が共通アンプのゲートで加算することも可能となる。

【0028】図9は本発明のシステム構成を示す図である。ここで光電変換は被写体からの光が絞り羽31を通り、レンズ32によりカラー・フィルターを有した撮像素子34へ結像されることで行われる。なお33はモレ等を防ぐために光の高城をカットする光学ローパスフィルター、色補正フィルター、及び赤外線カット用のフィルター等が組み合わされたフィルター群である。

【0029】撮像素子34で光電変換された光信号は、タイミングジェネレータ（TG）38からの信号によりXAドレ丝選択部36及びYAドレ丝選択部35で2次元で画素位置選択が行われ、タイミング調整部37に読

み出される。このタイミング調整部37では撮像素子34からの出力（1～複数本）のタイミング調整が行われる。そして、光電信号はAGC40により電圧を制御され、A/D変換器41でデジタル信号に変換される。

【0030】カメラDSP42は、動画または静止画の画像処理を行う。またMPU44はこの画像処理の際に使われるパラメータをカメラDSP42に設定したり、AE、AF処理を行ったりする。

【0031】画像処理する際の一時的な記憶領域としてDRAM43が用いられ、不揮発性の記憶領域として画像記録媒体48が用いられる。画像記録媒体48は例えば、スマートメディア、磁気テープ、または光ディスク等である。

【0032】この画像処理後の表示を行うためビデオエンコーダー45、及びCRT46等が設けられている。またビューファインダー47は例えばLCDのようないでの画像記録媒体48に記憶する前に被写体を確認したりするために用いられる。これらの出力装置はCRT46及びビューファインダー47に限らずプリント等を用いてもよい。

【0033】本発明では、撮像素子34において、加算読み出しモードと全画素読み出しモードを切り替える場合には、MPU44がモードを判断し、出力装置（CRT46、ビューファインダー47）、カメラDSP42、画像記録媒体48、AGC40、TG38等にそれぞれのモードに対応した信号を送る構成を取る。ここでTG38は動画、静止画により図4、図5に示したようなタイミングを切り替える。またカメラDSP42には、どちらのモードでも信号出力の順序が、同じ構成を取れるのでモード別に処理そのものを変える必要がない。

【0034】

【発明の効果】以上説明したように、本発明によれば、以下のよう効果を得ることができる。

・画像の解像度に支配的にあるG（緑）情報を最近接画素である斜め2画素という加算方式を取ることができ、比喩的・解像度を落とさずに画像を提供することができ、またR、Bに関しては4画素加算を行うことにより水平方向、垂直方向のモアレを低減することができる。

・読み出した信号に対応するカラーフィルターの色の順序が、加算した場合と加算しない場合とで同じであるために、DSPにおける信号処理回路を共有化することができ簡単な回路構成で本発明の目的を達成できる。

・従来あるような間引きを行わなく、センサー内で信号を加算して動画を作成するため、間引きに見られるようなモアレを低減することができ、鮮明な動画映像を提供することができる。

【図面の簡単な説明】

【図1】本発明に基づく加算方式の概念図である。

【図2】本発明に基づく他の加算方式の概念図である。
【図3】図1の加算方式を実現するため概略的な読み出し回路の回路構成図である。

【図4】上記読み出し回路に基づく加算モードにおけるタイミング図である。

【図5】上記読み出し回路に基づく全画素読み出しモード時のタイミング図である。

【図6】インターレース表示を考慮した加算モードによる読み出し方を示す概念図である。

【図7】CMOSセンサーおよび読み出し回路を示す回路図である。

【図8】共通アンプ画素の例を示す図である。

【図9】本発明のシステム構成を示す図である。

【符号の説明】

1 0 ベイバー配列の画素部

1 1 加算するG画素

1 2 加算モード上では加算が行われない画素

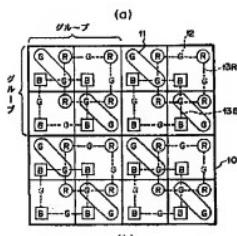
1 2 G, 1 2 R, 1 2 B 加算モード上では加算が行われないG, R, B画素

1 3 R, 1 5 R 加算するR画素

1 3 B, 1 5 B 加算するB画素

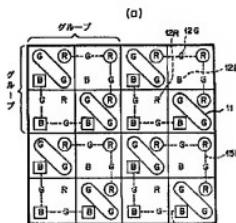
1 4 ベイバー配列

【図1】



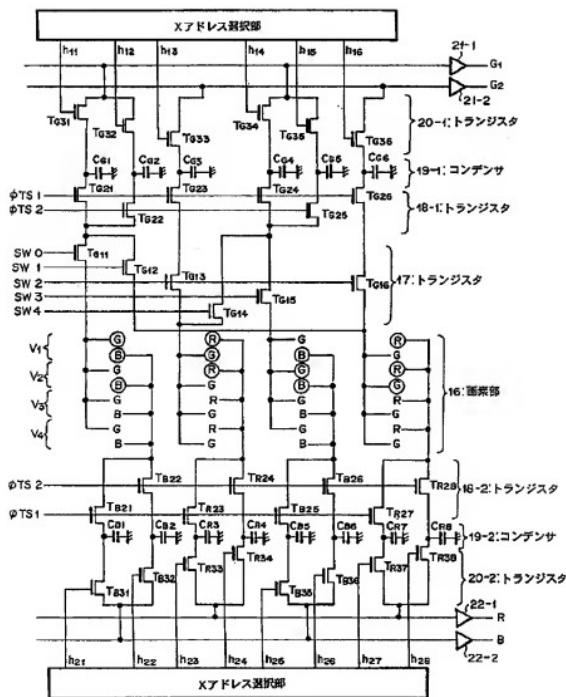
(b) A timing chart showing four groups of four stages each. The stages are labeled with letters: G, R, G, R, B, G, B, G, G, R, G, R, B, G, B, G. The chart is labeled 'グループ' (Group) and has a total duration of 14 stages.

【図2】

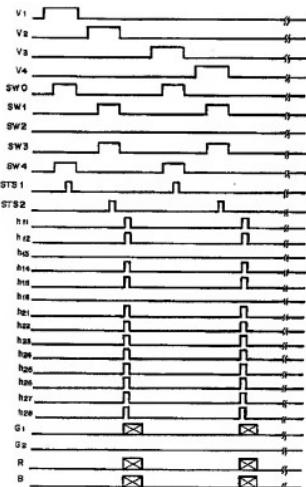


(b) A system configuration diagram showing a 4x4 grid of processing units. Each unit contains a small circle with a letter (G, R, B) and a small square with a letter (G, R, B). The grid is labeled 'グループ' (Group) and has a total duration of 14 stages.

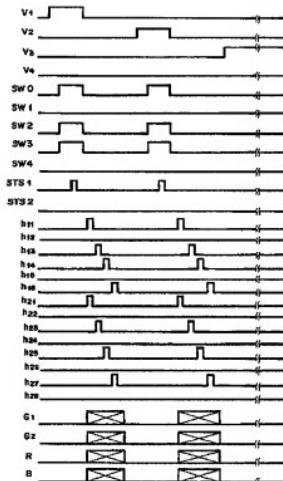
【図3】



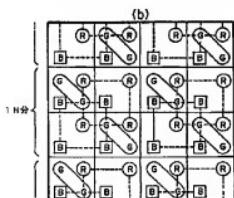
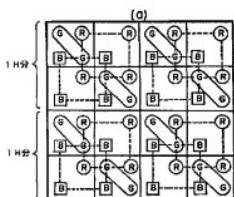
【図4】



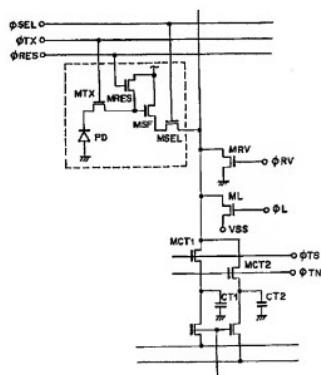
【図5】



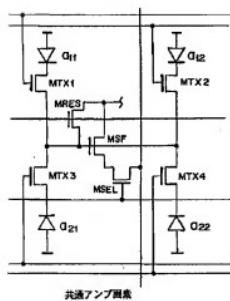
【図6】



【図7】

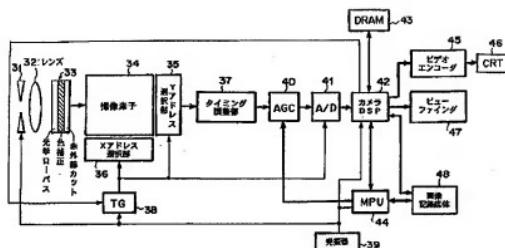


【図8】



共通アンプ回路

【図9】



フロントページの続き

(72)発明者 光地 哲伸
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

Pターム(参考) 5C065 AA01 AA03 BB13 BB30 CC01
CC07 CC08 DD02 DD17 EE05
EE06 GG10 GG11 GG13 GG18
GG21 GG26 GG32